

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-223967

(43)Date of publication of application : 26.08.1997

(51)Int.Cl.

H03M 1/68

(21)Application number : 08-027076

(71)Applicant : NEC CORP

(22)Date of filing : 14.02.1996

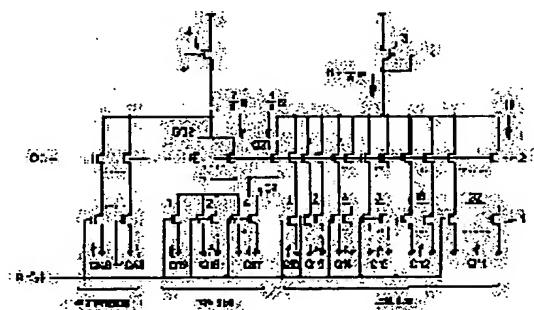
(72)Inventor : IZUMIKAWA MASANORI

## (54) D/A CONVERSION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify circuit constitution and to perform miniaturization by adding the specified amount of the current of a low-order bit to the current of a high-order bit.

**SOLUTION:** Accompanying the change of the current I1 by first and second MOSFET groups of the high-order six bits, since MOSFETs Q41-Q46 are selectively turned ON, a part of the current of a current source pMOSFET 4 is branched to the MOSFETs Q41-Q46 and the ratio of 1:7 by first and second division MOSFETs Q31 and Q32 is fixedly compensated. Thus, since the current I1/8-12 for which the current I2 by the MOSFETs Q17-Q19 of the low-order three bits is divided by 1:7 is added to the current I1 by the MOSFETs Q11-Q16 of the high-order six bits, the current of  $I1 + 1/8 \cdot I2$  is made to flow to an output pMOSFET 3 as a result. Thus, interpolation by the low-order three bits to the high-order six bits is realized and the maximum gate width of the MOSFET is reduced.



## LEGAL STATUS

[Date of request for examination] 14.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3099717

[Date of registration] 18.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 18.08.2003

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The D/A conversion circuit which consists of current sources of 1 bit of high orders N, and 2 bits of low order N ( $N_1+N_2=N_3$ ), and is characterized by the thing of the current of 2 bits of N for which  $2 [1/2-N]$  is added to the current of 1 bit of N in the D/A (digital/analog) conversion circuit of N triplet.

[Claim 2] The 1st MOSFET group which the current source of 1 bit of N becomes from two or more MOSFETs as which the control signal of 1 bit of N is inputted into the gate, respectively, It consists of the 2nd MOSFET group which consists of two or more MOSFETs by which cascade connection of the source drain was carried out to each MOSFET of this 1st MOSFET group, respectively, and the DC power supply was connected to the gate. The 3rd MOSFET group which the current source of 2 bits of N becomes from two or more MOSFETs by which the control signal of 2 bits of N was inputted into the gate, respectively, and common connection of the drain was made, It consists of the 4th MOSFET group which consists of two or more MOSFETs by which cascade connection of the source was carried out to the common drain edge of said 3rd MOSFET group, and the DC power supply was connected to the gate. This 4th MOSFET group is the D/A conversion circuit of claim 1 which divided into 2-1:1 2Ns of drain currents which flow in the 3rd MOSFET group, and was divided and which is constituted so that  $1/2N$  of currents of 2 may be added to the drain current of said 2nd MOSFET group.

[Claim 3] It is the D/A conversion circuit of claim 2 which gate width consists of as an MOSFET which are two N by which weighting was carried out by constituting the 1st and 2nd MOSFET groups as an MOSFET whose gate width is one N by which weighting was carried out so that conduction of the drain current which corresponded at least to the bit of 1 bit of N, respectively may be carried out so that conduction of the drain current to which the 3rd MOSFET group corresponded at least to the bit of 2 bits of N, respectively may be carried out.

[Claim 4] The 4th MOSFET group MOSFET of the 1st division which connected the DC power supply to the gate and connected the drain of said 2nd MOSFET to the source for the drain of said 3rd MOSFET at the drain, respectively, In the source the drain of said 3rd MOSFET at the gate a DC power supply It consists of MOSFETs of the 2nd division which connected the node different from the drain of said 2nd MOSFET to the drain. The D/A conversion circuit of claims 2 or 3 constituted so that the current which flows the 3rd MOSFET group by MOSFET of these 1st division and the 2nd division might be divided and conduction of the  $1/2N$  of the currents of 2 might be carried out to the drain of MOSFET of the 1st division.

[Claim 5] Claim 2 which the drain of MOSFET of the 2nd division and each drain of two or more MOSFETs which constitute the 5th MOSFET group in juxtaposition are connected [ claim ], and makes the control signal of 1 bit of said N input into the gate of the MOSFET group of these 5th thru/or one D/A conversion circuit of 4.

---

[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the D/A conversion circuit which consists of semiconductor integrated circuits.

[0002]

[Description of the Prior Art] In a digital control circuit, in order to control an analog-control object by the digital signal, the D/A conversion circuit which changes a digital signal into an analog signal is used. Since each bit of a digital signal is changed into the corresponding analog value, in order to raise D/A conversion precision in this D/A conversion circuit, the number of circuits for increasing the number of bits, therefore changing each number of bits may increase, and circuit magnitude may increase.

[0003] As a conventional D/A conversion circuit, the thing of an electrical potential difference and the thing of a current have an output. As a configuration which outputs an electrical potential difference, there are some which were indicated in a "high-speed convergence frequency synthesizer LSI using numerical phase comparison" Institute of Electronics, Information and Communication Engineers technical research report besides Kokubo, and ICD95-September, 1995 [ 123 or ]. As shown in drawing 5, in order to reduce the area of a 20-bit D/A converter, this divides a 20-bit signal into 12 bits of high orders, and 8 bits of low order, outputs a current to 12 bits of high orders by the X encoder 101, the Y encoder 102, and the current cel matrix 103, and outputs this as an electrical potential difference with an operational amplifier 104. Moreover, in order to interpolate 8 bits of low order, it inputs into the sigmadelta modulator 105. The output of this sigmadelta modulator 105 is 1 bit, when this 1-bit output is 1, is constituted so that only many one numbers may be specified rather than the number to which the X encoder 101 points, and is performing addition with the 12 bit signal of high orders. However, since the D/A conversion circuit which outputs this electrical potential difference has complicated circuitry, circuit magnitude will become big.

[0004] On the other hand, there are an "area saving PLL circuit which digitized loop filter" 1995 Institute of Electronics, Information and Communication Engineers synthesis convention besides Igura, and a thing indicated in C-March, 1995 [ 612 or ] as a configuration which outputs a current. This consists of MOSFETs 201-206 by which weighting was made corresponding to each bit, and pMOSFET207,208 and nMOSFET209 which can come and output the source drain current of \*\* MOSFET as a current, as shown in drawing 6.

[0005]

[Problem(s) to be Solved by the Invention] The D/A conversion circuit of drawing 6 is 2 Ns when digital value is set to N, in order to constitute MOSFETs 201-206 as a current source of weighting corresponding to a bit, although circuitry can be simplified as compared with the circuit of drawing 5. MOSFET of twice as many gate width as this is needed. For example, in the case of 9 bits, as shown in drawing 3 (a), MOSFET of each gate width of 256, 128, 64, 32, 16, 8, 4, 2, and 1 is needed, especially MOSFET of the gate width of 256, 128, and 64 becomes with a thing with the very big occupancy area, and the miniaturization of a D/A conversion circuit becomes difficult. Thus, in the D/A conversion circuit of the conventional current mold, if the number of bits increases, area will increase exponentially, and there is a problem that the miniaturization of a D/A conversion circuit becomes difficult.

[0006] The object of this invention is to offer the D/A conversion circuit which enabled simplification of

circuitry and made the miniaturization possible.

[0007]

[Means for Solving the Problem] In the current mold D/A conversion circuit of N triplet, the D/A conversion circuit of this invention consists of current sources of 1 bit of N which divided and these-divided N triplet into 1 bit of high orders N, and 2 bits of low order N, and 2 bits of N, and is characterized by the thing of the current of 2 bits of N for which  $2 [1/2-N]$  is added to the current of 1 bit of N. Namely, the 1st MOSFET group which the current source of 1 bit of N becomes from two or more MOSFETs as which the control signal of 1 bit of N is inputted into the gate, respectively, It consists of the 2nd MOSFET group which consists of two or more MOSFETs by which cascade connection of the source drain was carried out to each MOSFET of this 1st MOSFET group, respectively, and the DC power supply was connected to the gate. The 3rd MOSFET group which, as for the current source of 2 bits of N, the control signal of 2 bits of N becomes from two or more MOSFETs by which it was inputted into the gate, respectively and common connection of the drain was made, It consists of the 4th MOSFET group which consists of two or more MOSFETs by which cascade connection of the source drain was carried out to the common drain edge of this 3rd MOSFET group, and the DC power supply was connected to the gate. The 4th MOSFET group is constituted so that  $2N_1$  of drain currents which flow in the 3rd MOSFET group may be divided into 2-1:1 and the current of divided  $1/2N_2$  may be added to the drain current of said 2nd MOSFET group.

[0008]

[Embodiment of the Invention] Next, the operation gestalt of this invention is explained with reference to a drawing. Drawing 1 is the circuit diagram of 1 operation gestalt of this invention, and is the example constituted as a D/A conversion circuit of the current mold which outputs the analog current corresponding to the digital value of 9 bits. And these 9 bits are divided into 6 bits of high orders, and a low order triplet, and it constitutes as the current source of 6 bits of high orders, and a current source of a low order triplet. That is, many nMOSFET(s) 1 and 2 are constituted as nMOSFET of the gate width of one unit, respectively, it is carrying out parallel connection of the necessary source drain and the necessary gate of the number among these nMOSFET(s) 1 and 2, respectively, and are constituted as an MOSFET of one these times the gate width of the number, and constitute MOSFET equivalent to MOSFET from which gate width differs. Here, to many of these nMOSFET(s) 1 and 2, as shown in drawing 3 (b), by 6 bits of high orders, gate width constitutes MOSFETQ11-Q16 proportional to this number by which weighting was carried out, and Q21-Q26, respectively from making nMOSFET 1 and 2 into 32 pieces, 16 pieces, eight pieces, four pieces, two pieces, and one parallel connection structure, respectively. Similarly, also in a low order triplet, parallel connection of four pieces, two pieces, and the one nMOSFET is carried out, respectively, and MOSFETQ17-Q19 are constituted.

[0009] and every which constitutes 6 bits of said high orders -- connection is made and the 1st MOSFET group is constituted so that the signal of 6 bits of high orders may be inputted into the gate of MOSFETQ11-Q16, respectively. moreover, every -- a DC power supply is connected to the gate of MOSFETQ21-Q26, and the 2nd MOSFET group is constituted. In addition, cascode connection of each nMOSFET 1 and 2 which constitutes the 1st and 2nd MOSFET groups is made, a channel length modulation doubles  $[g_d/g_m]$  (for drain conductance / of nMOSFET102 /, and  $g_m$ , similarly  $g_d$  is mutual conductance) ] by this, and since it is  $g_d < g_m$ , linearity improves. Moreover, it connects in common and each drain of the 2nd MOSFET group of 6 bits of high orders is connected to the source of the output pMOSFET3 which considers a drain current as the output of a D/A conversion circuit. in addition, every which constitutes 6 bits of high orders -- the current value to which the source drain current of MOSFETQ11-Q16 was added is set to I1.

[0010] On the other hand, among nMOSFET(s) 1 and 2 which constitute a low order triplet, nMOSFET1 is constituted as MOSFETQ17-Q19 by which weighting accompanying the number of the parallel connection described above like 6 bits of high orders was made, the signal of a low order triplet is connected to the gate for each [ by which parallel connection was carried out ] MOSFET of every, respectively, and the 3rd MOSFET group is constituted. Moreover, it connects in common and the whole of each drain of this 3rd MOSFET group is connected to the source of the 4th MOSFET group which consists of two or more nMOSFET2 on it. Although a DC power supply is connected to the gate like 6 bits of high orders, this 4th MOSFET group MOSFETQ31 of the 1st division which consists of one nMOSFET here, The division configuration of the eight nMOSFET(s)2 is carried out by MOSFETQ32 of

the 2nd division which consists the gate of seven nMOSFET(s) which carried out parallel connection, and it constitutes so that the ratio of the gate width of MOSFETQ31 and Q32 of the 1st division and the 2nd division may be set to 1:7 as a result.

[0011] And although the source of MOSFETQ31 and Q32 of these 1st division and the 2nd division is connected to the drain of the 3rd MOSFET group in common, the drain of MOSFETQ31 of the 1st division is connected with the drain of the 2nd MOSFET group of 6 bits of said high orders in common, and the drain of MOSFETQ32 of the 2nd division is connected to the source of independent pMOSFET4 as a current source. Consequently, the drain current  $I_2$  of the 3rd MOSFET group of a low order triplet will be divided into 1:7 by MOSFETQ31 and Q32 of the 1st division and the 2nd division, one eighth of the drain currents of 12 will flow to MOSFETQ31 of the 1st division, and this will be added to the drain current of the 1st and 2nd MOSFET groups.

[0012] In addition, with this operation gestalt, when the current  $I_1$  of 6 bits of high orders changes. Since a gap arises in the current ratio of 1:7 by MOSFETQ31 and Q32 of the 1st division described above as the current of a current source pMOSFET4 is fixed, and the 2nd division, In order to amend this, the drain of the 5th MOSFET group with which a source drain consists of MOSFETQ41-Q46 which consisted of two or more pairs of nMOSFET(s) 1 and 2 by which cascade connection was carried out is connected to the drain of the 2nd division MOSFETQ32 of said 4th MOSFET group. And said DC power supply is connected to the gate of nMOSFET2, and the gate of nMOSFET1 is constituted so that each bit input of the 1st MOSFET group of 6 bits of said high orders may be inputted, respectively. Since MOSFETQ41-Q46 are selectively turned on by this in connection with the current  $I_1$  by the 1st and 2nd MOSFET groups of 6 bits of high orders changing, a part of current of a current source pMOSFET4 is made to shunt toward MOSFETQ41-Q46, and the ratio of 1:7 by said 1st and 2nd division MOSFETQ31 and Q32 is compensated uniformly.

[0013] Therefore, in the D/A conversion circuit of this configuration, since the currents  $1/8$  which divided the current  $I_2$  by MOSFETQ17-Q19 of a low order triplet into the current  $I_1$  by MOSFETQ11-Q16 of 6 bits of high orders by 1:7, and  $I_2$  are added to an output pMOSFET3, the current of  $I_1 + 1/8$ , and  $I_2$  will flow after all. Thereby, interpolation by the low order triplet is realized to 6 bits of high orders. Drawing 2 is drawing showing this generally. The D/A conversion circuit of N triplet 1 bit of high orders N It divides into 2 bits ( $N_3 = N_1 + N_2$ ) of low order N,  $1/2N_2$  of the current  $I_2$  of 2 bits of low order N are added to the current  $I_1$  of 1 bit of high orders N, and  $I_1 + 1/2N_2$  storage make it output  $2N_2$  of currents of 2 and  $I_2$ , and according to 2 bits of low order N to 1 bit of high orders N is realized.

[0014] When a 9-bit D/A conversion circuit is constituted from this operation gestalt, consequently, the number of nMOSFET of one unit needed As shown in drawing 3 (b), nMOSFET(s) 1 and 2 are all 32, 16, 8, 4, and 2 or 1 piece in 6 bits of high orders. In a low order triplet, nMOSFET1 is [ 4, 2 or 1 piece, and nMOSFET2 ] eight pieces, and nMOSFET 1 and 2 is six pieces as an object for amendment at this, respectively. on the other hand, by the conventional method, like drawing 3 (a), respectively nMOSFET 1 and 2 is markedly alike, 256, 128, 64, 32, 16, 8, 4, and the number of MOSFETs that is required for 2 or 1 piece, and is needed are reduced, and a miniaturization can be realized by 9 bits.

[0015] Drawing 4 shows the 2nd operation gestalt of this invention, and has given the same sign to the part at the 1st operation gestalt and equivalence of drawing 1 . Here, each 1st [ for constituting each current source of 1 bit of N and 2 bits of N ] thru/or 4th MOS group consists of pMOSFET(s). With this operation gestalt, the polarities of a power source differ, and also a fundamental configuration and actuation are the same as the 1st operation gestalt, and detailed explanation is omitted.

[0016] In addition, although said operation gestalt shows the configuration which carried out parallel connection of the nMOSFET of the gate width of one unit with the number different, respectively as an MOSFET which constitutes different weighting to the bit in the 1st as a current source thru/or the 3rd MOSFET group, it cannot be overemphasized that MOSFET from which the gate width formed by the width method by which each gate width is proportional to weighting, respectively differs may be used.

[0017]

[Effect of the Invention] In the current mold D/A conversion circuit of N triplet, as explained above, since this invention consists of current sources of 1 bit of N which divided N triplet into 1 bit of high orders N, and 2 bits of low order N, and 2 bits of N and is adding  $1/2N_2$  of the current of 2 bits of N to the current of 1 bit of N, it interpolates a high order bit by 2 bits of low order N, and the D/A conversion of N triplet of it becomes possible. Thereby, 2 or the D/A conversion circuit which it could

decrease to 1 by 2Ns, and occupancy area was small, and made the miniaturization possible can realize the 2Ns of the 2Ns of the maximum gate width of MOSFET from 3.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223967

(43) 公開日 平成9年(1997)8月26日

(51) Int. Cl.<sup>4</sup>

H03M 1/68

識別記号

弁内整理番号

F I

H03M 1/68

技術表示箇所

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-27076

(22) 出願日 平成8年(1996)2月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 泉川 正則

東京都港区芝五丁目7番1号 日本電気株式会社内

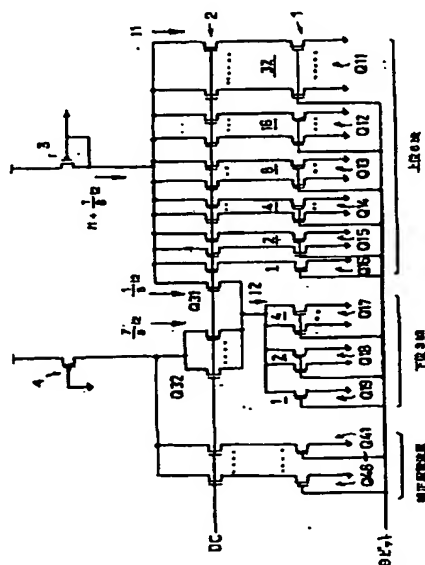
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 D/A変換回路

(57) 【要約】

【課題】 電流出力型のNビットのD/A変換回路では、ビット位に対応して電流の重み付けを行うために、最大で $2^n$ のゲート幅のMOSFETが必要となり、面積の縮小が困難になる。

【解決手段】 9ビットの電流型D/A変換回路を構成する場合、9ビットを上位6ビットと下位3ビットに分割し、9ビットと3ビットの電流源で構成する。そして、3ビットの電流の $1/2^n$ をN1ビットの電流に加算する。上位6ビットの電流が $11 + 1/2^n \cdot 12$ となり(11:6ビット電流、12:3ビット電流)、下位3ビットにより上位6ビットの補間を行い9ビットのD/A変換が可能となる。MOSFETの最大ゲート幅を $2^n$ から $2^n$ に低減でき、占有面積が小さく、小型化を可能にしたD/A変換回路が実現できる。



## 【特許請求の範囲】

【請求項1】 N3ビットのD/A（デジタル/アナログ）変換回路において、上位N1ビットと下位N2ビット（ $N1+N2=N3$ ）の電流源で構成され、N2ビットの電流の $1/2^N$ をN1ビットの電流に加算することを特徴とするD/A変換回路。

【請求項2】 N1ビットの電流源は、N1ビットの制御信号がそれぞれゲートに入力される複数のMOSFETからなる第1のMOSFET群と、この第1のMOSFET群の各MOSFETにそれぞれソース・ドレインが縦続接続されゲートにDC電源が接続された複数のMOSFETからなる第2のMOSFET群とで構成され、N2ビットの電流源は、N2ビットの制御信号がそれぞれゲートに入力されかつドレインが共通接続された複数のMOSFETからなる第3のMOSFET群と、前記第3のMOSFET群の共通ドレイン端にソースが縦続接続されてゲートにDC電源が接続された2以上のMOSFETからなる第4のMOSFET群とで構成され、この第4のMOSFET群は、第3のMOSFET群に流れるドレイン電流を $2^{N-1}:1$ に分割し、分割された $1/2^N$ の電流を前記第2のMOSFET群のドレイン電流に加えるように構成される請求項1のD/A変換回路。

【請求項3】 第1および第2のMOSFET群は、それぞれN1ビットのビット位に対応したドレイン電流が流通するようにゲート幅が重み付けされたN1個のMOSFETとして構成され、第3のMOSFET群はそれぞれN2ビットのビット位に対応したドレイン電流が流通するようにゲート幅が重み付けされたN2個のMOSFETとして構成される請求項2のD/A変換回路。

【請求項4】 第4のMOSFET群は、ソースに前記第3のMOSFETのドレインを、ゲートにDC電源を、ドレインに前記第2のMOSFETのドレインをそれぞれ接続した第1分割のMOSFETと、ソースに前記第3のMOSFETのドレインを、ゲートにDC電源を、ドレインに前記第2のMOSFETのドレインとは別のノードを接続した第2分割のMOSFETとで構成され、これら第1分割および第2分割のMOSFETで第3のMOSFET群を流れる電流を分割し、第1分割のMOSFETのドレインに $1/2^N$ の電流を流通するように構成した請求項2または3のD/A変換回路。

【請求項5】 第2分割のMOSFETのドレインと並列に第5のMOSFET群を構成する複数のMOSFETの各ドレインを接続し、これら第5のMOSFET群のゲートに前記N1ビットの制御信号を入力させる請求項2ないし4のいずれかのD/A変換回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路で構

成されるD/A変換回路に関する。

【0002】

【従来の技術】 デジタル制御回路では、アナログ制御対象をデジタル信号で制御するために、デジタル信号をアナログ信号に変換するD/A変換回路が用いられる。このD/A変換回路では、デジタル信号の各ビットに対応するアナログ値に変換しているため、D/A変換精度を上げるためには、ビット数を増大する必要がある、そのために各ビット数を増大するための回路数が増大され、回路規模が増大されることがある。

【0003】 従来のD/A変換回路として、出力が電圧のものと電流のものがある。電圧を出力する構成として、小久保他、「数値位相比較を用いた高速収束周波数シンセサイザLSI」電子情報通信学会技術研究報告、ICD95-123、1995年9月に記載されたものがある。これは、図5に示すように、20ビットのD/A変換器の面積を低減するために、20ビットの信号を上位12ビット、下位8ビットに分割し、上位12ビットに対してはXエンコーダ101とYエンコーダ102及び電流セルマトリックス103で電流を出力し、これをオペアンプ104により電圧として出力する。また、下位8ビットを補間するためにΣΔ変調器105を入力する。このΣΔ変調器105の出力は1ビットであり、この1ビット出力が1のときXエンコーダ101が指示する数よりも1つだけ多い数を指定するように構成して上位12ビット信号との加算を行っている。しかしながら、この電圧を出力するD/A変換回路は、回路構成が複雑であるため、回路規模が大きくなるものとなる。

【0004】 一方、電流を出力する構成として、井倉他「ループフィルタをデジタル化した省面積PLL回路」1995年電子情報通信学会総合大会、C-612、1995年3月に記載されたものがある。これは、図6に示すように、各ビットに対応して重み付けがなされたMOSFET201~206と、これらMOSFETのソース・ドレイン電流を電流として出力するpMOSFET207、208とnMOSFET209とで構成されたものである。

【0005】

【発明が解決しようとする課題】 図6のD/A変換回路は、図5の回路に比較して回路構成が簡略化できるものの、ビットに対応した重み付けの電流源としてのMOSFET201~206を構成するためには、デジタル値をNとしたときに $2^N$ 倍のゲート幅のMOSFETが必要となる。例えば、9ビットの場合には、図3(a)に示されるように、256、128、64、32、16、8、4、2、1の各ゲート幅のMOSFETが必要とされ、特に256、128、64のゲート幅のMOSFETはその占有面積が極めて大きなものとなり、D/A変換回路の小型化が困難になる。このように、従来の電流型のD/A変換回路では、ビット数が増大されると



面積が指数的に増大され、D/A変換回路の小型化が困難になるという問題がある。

【0006】本発明の目的は、回路構成の簡略化を可能とし、かつ小型化を可能にしたD/A変換回路を提供することにある。

【0007】

【課題を解決するための手段】本発明のD/A変換回路は、N3ビットの電流型D/A変換回路において、N3ビットを上位N1ビットと下位N2ビットに分割して、これら分割したN1ビットとN2ビットの電流源で構成され、N2ビットの電流の $1/2^N$ をN1ビットの電流に加算することとを特徴とする。すなわち、N1ビットの電流源は、N1ビットの制御信号がそれぞれゲートに入力される複数のMOSFETからなる第1のMOSFET群と、この第1のMOSFET群の各MOSFETにそれぞれソース・ドレインが縦続接続されゲートにDC電源が接続された複数のMOSFETからなる第2のMOSFET群とで構成され、N2ビットの電流源は、N2ビットの制御信号がそれぞれゲートに入力されドレインが共通接続された複数のMOSFETからなる第3のMOSFET群と、この第3のMOSFET群の共通ドレイン端にソース・ドレインが縦続接続されてゲートにDC電源が接続された2以上のMOSFETからなる第4のMOSFET群とで構成されており、第4のMOSFET群は、第3のMOSFET群に流れるドレイン電流を $2^{N-1}:1$ に分割し、分割された $1/2^N$ の電流を前記第2のMOSFET群のドレイン電流に加えるように構成される。

【0008】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。図1は本発明の一実施形態の回路図であり、9ビットのデジタル値に対応するアナログ電流を出力する電流型のD/A変換回路として構成した例である。そして、この9ビットを上位6ビットと下位3ビットに分割し、上位6ビットの電流源と下位3ビットの電流源として構成する。すなわち、多数個のnMOSFET1、2は、それぞれ1単位のゲート幅のnMOSFETとして構成されており、これらのnMOSFET1、2のうち、所要の個数のソース・ドレイン及びゲートをそれぞれ並列接続することで、同個数倍のゲート幅のMOSFETとして構成し、ゲート幅が異なるMOSFETと等価なMOSFETを構成している。ここでは、この多数個のnMOSFET1、2に対して、図3(b)に示すように、上位6ビットでは、nMOSFET1、2をそれぞれ32個、16個、8個、4個、2個、1個の並列接続構造とすることで、それぞれゲート幅が同個数に比例した重み付けされたMOSFETQ11~Q16、Q21~Q26を構成している。同様に、下位3ビットにおいても、4個、2個、1個のnMOSFETをそれぞれ並列接続してMOSFETQ17

~Q19を構成している。

【0009】そして、前記上位6ビットを構成する各MOSFETQ11~Q16のゲートにはそれぞれ上位6ビットの信号が入力されるように接続が行われて第1のMOSFET群が構成される。また、各MOSFETQ21~Q26のゲートにはDC電源が接続され第2のMOSFET群が構成される。なお、第1および第2のMOSFET群を構成する個々のnMOSFET1、2はカスコード接続されており、これによりチャネル長変調が $g_d/g_m$  ( $g_d$ はnMOSFET102のドレインコンダクタンス、 $g_m$ は同じく相互コンダクタンス)倍になり、 $g_d < g_m$ であるので、線形性が向上する。また、上位6ビットの第2のMOSFET群の各ドレインは共通に接続されており、ドレイン電流をD/A変換回路の出力とする出力pMOSFET3のソースに接続されている。なお、上位6ビットを構成する各MOSFETQ11~Q16のソース・ドレイン電流が加算された電流値をI1とする。

【0010】一方、下位3ビットを構成するnMOSFET1、2のうち、nMOSFET1は、上位6ビットと同様に前記した並列接続の個数に伴う重み付けがなされたMOSFETQ17~Q19として構成されており、そのゲートには並列接続された各MOSFET毎にそれぞれ下位3ビットの信号が接続され、第3のMOSFET群が構成される。また、この第3のMOSFET群の各ドレインは全て共通に接続され、その上で複数個のnMOSFET2からなる第4のMOSFET群のソースに接続されている。この第4のMOSFET群は、ゲートには上位6ビットと同様にDC電源が接続されるが、ここでは、1個のnMOSFETからなる第1分割のMOSFETQ31と、8個のnMOSFET2をゲートを並列接続した7個のnMOSFETからなる第2分割のMOSFETQ32とで分割構成し、結果として第1分割および第2分割のMOSFETQ31、Q32のゲート幅の比が1:7になるように構成している。

【0011】そして、これら第1分割および第2分割のMOSFETQ31、Q32のソースは共通に第3のMOSFET群のドレインに接続されるが、第1分割のMOSFETQ31のドレインは前記上位6ビットの第2のMOSFET群のドレインと共通に接続され、第2分割のMOSFETQ32のドレインは独立した電流源としてのpMOSFET4のソースに接続されている。この結果、下位3ビットの第3のMOSFET群のドレイン電流I2が第1分割および第2分割のMOSFETQ31、Q32によって1:7に分割され、第1分割のMOSFETQ31にはI2の $1/8$ のドレイン電流が流れ、これが第1および第2のMOSFET群のドレイン電流に加えられることになる。

【0012】なお、この実施形態では、上位6ビットの電流I1が変化されたときに、電流源pMOSFET4

5  
の電流が一定であると、前記した第1分割および第2分割のMOSFET Q31, Q32による1:7の電流比にずれが生じるため、これを補正するためにソース・ドレインが縦続接続された複数対のnMOSFET 1, 2で構成されたMOSFET Q41~Q46からなる第5のMOSFET群のドレインが前記第4のMOSFET群の第2分割MOSFET Q32のドレインに接続されている。そして、nMOSFET 2のゲートには前記DC電源が接続され、nMOSFET 1のゲートは前記上位6ビットの第1のMOSFET群の各ビット入力がそれぞれ入力されるように構成されている。これにより、上位6ビットの第1および第2のMOSFET群による電流I1が変化されるのに伴って、MOSFET Q41~Q46が選択的にオンされるため、電流源pMOSFET 4の電流の一部をMOSFET Q41~Q46に分流させ、前記第1および第2の分割MOSFET Q31, Q32による1:7の比を一定に補償する。

【0013】したがって、この構成のD/A変換回路では、出力pMOSFET 3には上位6ビットのMOSFET Q11~Q16による電流I1に、下位3ビットのMOSFET Q17~Q19による電流I2を1:7で分割した電流 $1/8 \cdot I2$ が加えられるので、結局 $I1 + 1/8 \cdot I2$ の電流が流れることになる。これにより、上位6ビットに対して下位3ビットによる補間が実現される。図2はこれを一般的に示す図であり、N3ビットのD/A変換回路を上位N1ビット、下位N2ビット( $N3 = N1 + N2$ )に分割し、上位N1ビットの電流I1に、下位N2ビットの電流I2の $1/2^{N2}$ を加えて $I1 + 1/2^{N2} \cdot I2$ の電流を出力するようにし、上位N1ビットに対して下位N2ビットによる保管が実現される。

【0014】この結果、この実施形態では、9ビットのD/A変換回路を構成した場合に、必要とされる1単位のnMOSFETの個数は、図3(b)に示したように、上位6ビットではnMOSFET 1, 2がいずれも32, 16, 8, 4, 2, 1個であり、下位3ビットではnMOSFET 1が4, 2, 1個、nMOSFET 2が8個であり、これに補正用としてnMOSFET 1, 2がそれぞれ6個である。これに対し、従来の方式では、図3(a)のように、9ビットでは、nMOSFET 1, 2がそれぞれ256, 128, 64, 32, 16, 8, 4, 2, 1個必要であり、必要とされるMOSFETの数が格段に低減され、小型化が実現できる。

【0015】図4は本発明の第2の実施形態を示しており、図1の第1の実施形態と等価に部分には同一符号を

付してある。ここでは、N1ビットおよびN2ビットの各電流源を構成するための第1ないし第4の各MOS群をpMOSFETで構成している。この実施形態では、電源の極性が異なる他は基本的な構成及び動作は第1の実施形態と同じであり、詳細な説明は省略する。

【0016】なお、前記実施形態では、電流源としての第1ないし第3のMOSFET群におけるビットに対する異なる重み付けを構成するMOSFETとして、1単位のゲート幅のnMOSFETをそれぞれ異なる個数で並列接続した構成を示しているが、個々のゲート幅がそれぞれ重み付けに比例した幅寸法で形成されたゲート幅の異なるMOSFETを用いてもよいことは言うまでもない。

【0017】

【発明の効果】以上説明したように本発明は、N3ビットの電流型D/A変換回路において、N3ビットを上位N1ビットと下位N2ビットに分割したN1ビットとN2ビットの電流源で構成され、N2ビットの電流の $1/2^{N2}$ をN1ビットの電流に加算しているため、下位N2ビットにより上位ビットの補間を行いN3ビットのD/A変換が可能となる。これにより、MOSFETの最大ゲート幅を $2^{N2}$ から $2^{N1}$ あるいは $2^{N2}$ に低減でき、占有面積が小さく、小型化を可能にしたD/A変換回路が実現できる。

【図面の簡単な説明】

【図1】本発明のD/A変換回路の第1の実施形態の回路図である。

【図2】本発明による下位ビットによる補間を説明するための図である。

【図3】本発明と従来技術でのMOSFET群のゲート幅の違いを示すための図である。

【図4】本発明の第2の実施形態の回路図である。

【図5】従来の電圧型D/A変換回路の一例の回路図である。

【図6】従来の電流型D/A変換回路の一例の回路図である。

【符号の説明】

1, 2 nMOSFET

3, 4 pMOSFET

Q11~Q16 上位6ビットMOSFET

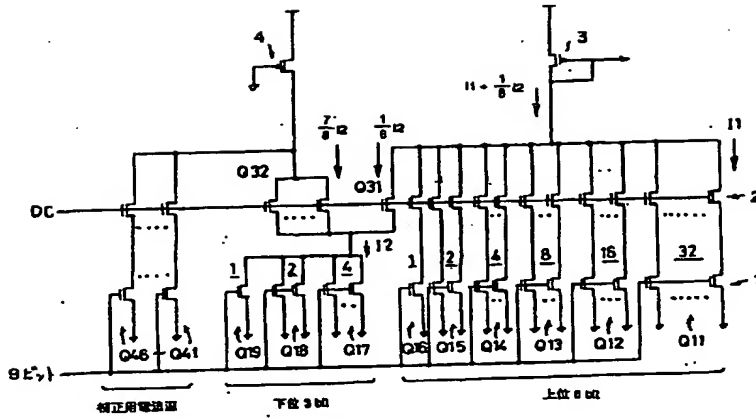
Q17~Q19 下位3ビットMOSFET

Q21~Q26 上位6ビットMOSFET

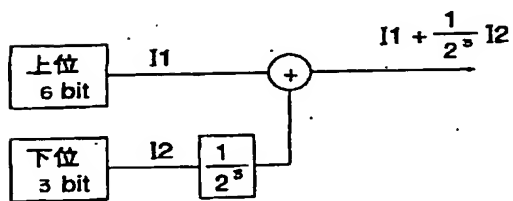
Q31, Q32 第1, 第2の各分割MOSFET

Q41~Q46 補間用のMOSFET

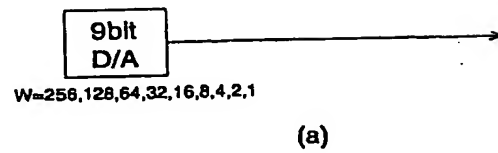
(図1)



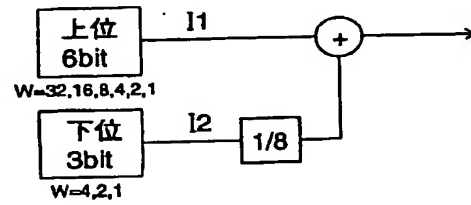
(図2)



(図3)

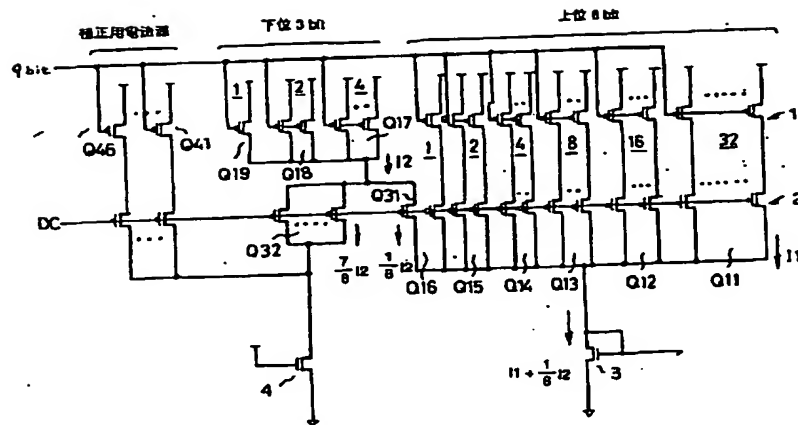


(a)

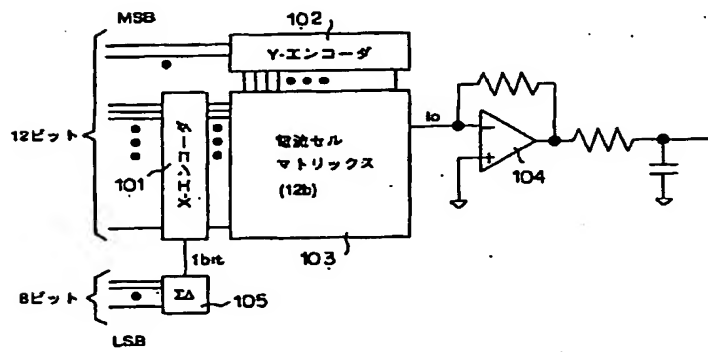


(b)

【図4】



【図5】



【図6】

